

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-196644
(43)Date of publication of application : 28.08.1991

J1040 U.S. PTO
09/993897

(51)Int.Cl.

H01L 21/52

(21)Application number : 01-339609
(22)Date of filing : 26.12.1989

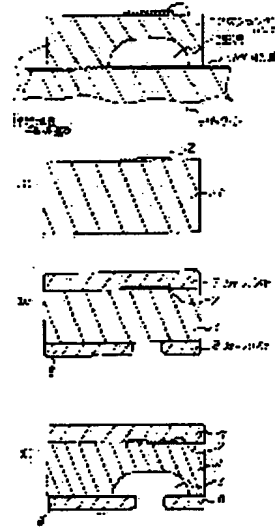
(71)Applicant : NEC CORP
(72)Inventor : ONO HAJIME

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To avoid the deterioration of the high frequency characteristics of a high frequency and high power transistor caused by a parasitic capacitance by a method wherein a cavity which is formed by processing the rear of a semiconductor substrate is provided directly under a bonding pad or a probing pad.

CONSTITUTION: The rear of a semi-insulating semiconductor substrate 1 on which a circuit element is formed is polished and photoresist layers 7 and 8 are formed. Then a cavity 3 is formed by isotropic wet etching and the photoresist layers 7 and 8 are removed. The completed chip is mounted on the metallized layer 5 of a ceramic package 4. Therefore, the parasitic capacitance of a bonding or probing pad 2 which is produced when the chip is mounted on the package can be reduced. With this constitution, the deterioration of the high frequency characteristics of a high frequency and high power transistor can be avoided.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(3)

⑤ 日本国特許庁(JP)

⑩ 特許出願公開

② 公開特許公報(A) 平3-196644

⑤ Int. Cl.⁸

識別記号

庁内整理番号

④ 公開 平成3年(1991)8月28日

H 01 L 21/52

A

9055-5F

審査請求 未請求 請求項の数 1 (全3頁)

④ 発明の名称 半導体集積回路

⑨ 特 願 平1-339609

⑧ 出 願 平1(1989)12月28日

⑦ 発 明 者 小 野 肇 東京都港区芝5丁目33番1号 日本電気株式会社内

⑥ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑤ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

半導体集積回路

特許請求の範囲

半絶縁性半導体基板に形成された半導体集積回路において、ボンディングパッドまたはプロービング用パッド直下に前記半導体基板裏面を加工して形成した空洞を有することを特徴とする半導体集積回路。

発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体集積回路に関し、特に化合物半導体からなる半絶縁性半導体基板を用いた半導体集積回路に関する。

〔従来の技術〕

従来技術による半導体集積回路について、第4図を照して説明する。

回路素子が形成されたGaAs、InPをはじめとする化合物半導体からなる半絶縁性半導体基板1の表面に金またはアルミニウムの良導体からなるボンディングパッド2が形成され、さらに基板1がセラミックパッケージ4のメタライズ層5にろう付け(マウント)されている。

メタライズ層5は接地電位になっていることが多い。

電源電位になっている場合も、高周波に対しては接地電位と見做すことができる。

〔発明が解決しようとする課題〕

このような構造においては、例えば半絶縁性半導体基板1の厚さを150 μ m、ボンディングパッド2の大きさを100 μ mとして、ボンディングパッド2とメタライズ層5との間の寄生容量は30~80fFになる。

TEG(Test Element Group)を用いて高周波特性を測定するとき、単体トランジスタに設けられたボンディングパッドの寄生容量のために測定誤差が大きくて、実用に耐える設計データが得ら

(4)

特開平3-196644 (2)

れなかった。

また高周波高出力トランジスタにおいては、入出力インピーダンスを低減する目的で、多数のボンディングワイヤを結集するため多数の大面积ボンディングパッドが採用されることが多い。そのため寄生容量が高周波特性を劣化させている。

〔問題を解決するための手段〕

本発明の半導体集積回路は半絶縁性半導体基板に形成された半導体集積回路において、ボンディングパッドまたはプロービング用パッド直下に空洞を設けたものである。

〔実施例〕

本発明の第1の実施例について、製造工程を示す第2図(a)～(c)と完成図である第1図とを参照して説明する。

はじめに第2図(a)に示すように、回路素子が形成された半絶縁性半導体基板1の厚さが150 μ mに達するまで裏面を研磨する。

つぎに第2図(b)に示すように、厚さ2～5 μ mのフォトレジスト7、8を形成する。

つぎに第2図(c)に示すように、硫酸：過酸化水素：水＝1～4：1：1を用いた等方性ウェットエッチングにより、空洞3を形成する。

フォトレジスト7、8を除去して完成したチップを第1図に示すように、金－銅合金半田を用いてセラミックパッケージ1のメタライズ層5にマウントする。

つぎに本発明の第2の実施例について、第3図を参照して説明する。

ここでは空洞3の内面に窒化シリコン(SiN_x)膜6を堆積することにより、マウント用の金－銅合金半田が這い上がって寄生容量が増加するという危機を解消することができた。

なお本発明において、ボンディングパッド2を覆うように空洞3の方が大きいほうが寄生容量が低減されるが、小さくても数十%の効果を見込むことができる。

空洞3の深さは、ワイヤボンディング時の強度を確保するため、基板1の厚さの1/3～1/2とするのが良い。

また空洞を等方性のウェットエッチングによる替りに、RIE法による異方性ドライエッチングなどによって形成することも可能である。

〔発明の効果〕

GaAs、InPなどの半絶縁性半導体基板の裏面に比誘電率が10分の1になる空洞を設けることにより、パッケージにマウントしたときのボンディングあるいはプロービング用パッドの寄生容量を数分の1まで低減することができた。

TREによる高周波測定における測定精度が向上し、また高周波高出力トランジスタにおける寄生容量による高周波特性の劣化を解消することができた。

さらにボンディングパッドを極限まで縮小して寄生容量を低減するという無理をする必要がなくなった。

図面の簡単な説明

第1図は本発明の第1の実施例を示す断面図。
第2図(a)～(c)は本発明の第1の実施例を

工程順に示す断面図、第3図は本発明の第2の実施例を示す断面図、第4図は従来技術を示す断面図である。

1…半絶縁性半導体基板、2…ボンディングパッド、3…空洞、4…セラミックパッケージ、5…メタライズ層、6…窒化シリコン(SiN_x)膜、7、8…フォトレジスト。

代理人 弁理士 内 屋 晋

(5)

特開平3-196644 (3)

